

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-161288

(43)Date of publication of application : 20.12.1979

(51)Int.CI. H01L 31/10
H04N 3/14

(21)Application number : 53-069793

(71)Applicant : HITACHI LTD
HITACHI DENSHI LTD

(22)Date of filing : 12.06.1978

(72)Inventor : TAKEMOTO KAYAO
KOIKE NORIO
OBA SHINYA
ANDO HARUHISA
NAKAI MASAAKI
HANAMURA SHOJI
IZAWA RYUICHI
KUBO SEIJI
AOKI MASAKAZU
TANAKA SHUHEI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a low-noise circuit suitable for a picture element with the constitution simplified, by constituting a shift register as a dynamic scan circuit by making use of the bootstrap effect of MOSFET.

CONSTITUTION: To respective lines for synchronizing clock pulses H1 and H2, input pulse Hin and earth Vs, MOS transistors T1 to T5 using electrons as signal charges are connected, so as to constitute a scanning pulse generating circuit. In this constitution, inputting synchronizing pulse H2 with point A at a high level increases the potential at point B through MOSFETT1 and the potential at point A increases higher than VD of the pulse amplitude through bootstrap capacity 51 between points A and B, so that transistor T1 will operate in an unsaturated region. At point B, therefore, pulse Q1 of exactly the same waveform as pulse H2 appears. At the same time, transistor T2 conducts to write high-level H at point C and write operation to MOSFETs T3 to T5 ends similarly.

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭54-161288

⑬Int. Cl.²
H 01 L 31/10
H 04 N 3/14

識別記号 ⑭日本分類
99(5) J 42
97(5) D 1

⑮内整理番号 ⑯公開 昭和54年(1979)12月20日
6655-5F 発明の数 2
6246-5C 審査請求 未請求

(全22頁)

⑭半導体装置

⑮特 願 昭53-69793

⑯出 願 昭53(1978)6月12日

⑰発明者 竹本一八男

国分寺市東恋ヶ窪1丁目280番
地 株式会社日立製作所中央研
究所内

同 小池紀雄

国分寺市東恋ヶ窪1丁目280番
地 株式会社日立製作所中央研
究所内

同 大場信弥

国分寺市東恋ヶ窪1丁目280番
地 株式会社日立製作所中央研
究所内

⑰発明者 安藤治久

国分寺市東恋ヶ窪1丁目280番
地 株式会社日立製作所中央研
究所内

⑮出願人 株式会社日立製作所

東京都千代田区丸の内一丁目5
番1号

⑯代理人 弁理士 薄田利幸

最終頁に続く

明細書

発明の名称 半導体装置

特許請求の範囲

1. ソース、ドレイン端子の一方となる第1、第2の端子とゲート端子を有する第1、第2、第3、第4のMOS形電界効果トランジスタ(MOST)からなり、第1のMOSTの第1端子を入力端子とし、第1のMOSTの第2端子を第2のMOSTのゲート端子に接続し、第2のMOSTの第1端子を走査パルス出力第1端子とするとともに第3のMOSTの第1端子に接続し、第3のMOSTの第2端子を第4のMOSTのゲート端子に接続し、第4のMOSTの第2端子を走査パルス出力第2端子および出力端子とし、第1のMOSTのゲート端子と第4のMOSTの第2端子に第1の同期パルスを印加し、第2のMOSTの第2端子と第3のMOSTのゲート端子に第2の同期パルスを印加してなる基本回路を複数個接続してなり、各基本回路の少なくとも1の走査パルス出力端子より順次走査パルスを

出力してなることを特徴とする半導体装置。

2. 各基本回路の第1、第2の走査パルス出力端子より走査パルスを出力してなることを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 各基本回路の第1、第2の走査パルス出力端子の一方より走査パルスを出力してなることを特徴とする特許請求の範囲第1項記載の半導体装置。
4. 上記第2、第4のMOSTのそれぞれのゲート端子と第1端子間に寄生容量が存在することを特徴とする特許請求の範囲第1項記載の半導体装置。
5. 上記第2、第4のMOSTのそれぞれのゲート端子と第1端子間に容量性素子を設けてなることを特徴とする特許請求の範囲第1項記載の半導体装置。
6. 上記基本回路は第5、第6のMOSTを有し、第5、第6のMOSTの第1端子は接地され、第2端子はそれぞれ上記第1、第3のMOSTの第1、第2端子のいずれか一方に接続され、上記

第 5 の MOST のゲート端子は第 4 の MOST の第 1、ゲート端子のいずれか一方に、上記第 6 の MOST のゲート端子は次段の基本回路の第 2 の MOST の第 1、ゲート端子のいずれか一方に接続されてなることを特徴とする特許請求の範囲第 1 項記載の半導体装置。

7. ソース、ドレイン端子の一方となる第 1、第 2 の端子とゲート端子を有する第 1、第 2、第 3、第 4 の MOS 形電界効果トランジスタ(MOST)からなり、第 1 の MOST のゲート端子を入力端子とし、第 1 の MOST の第 1 端子を第 2 の MOST のゲート端子に接続し、第 1 の MOST の第 2 端子を電源線に接続し、第 2 の MOST の第 1 端子を第 3 の MOST のゲート端子に接続するとともに第 1 の走査パルス出力端子とし、第 3 の MOST の第 1 端子を第 4 の MOST のゲート端子に接続し、第 3 の MOST の第 2 端子を電源線に接続し、第 4 の MOST の第 1 端子を第 2 の走査パルス出力端子および出力端子とし、第 2 の MOST の第 2 端子に第 1 の同期パルスを印加し、

(3)

は第 4 の MOST の第 1 端子に接続され、第 6 の MOST のゲート端子は次段の基本回路の第 2 の MOST の第 1 端子に接続されてなることを特徴とする特許請求の範囲第 7 項記載の半導体装置。
11. 上記基本回路は第 1 端子が接続され、第 2 端子が第 1 の走査パルス出力端子に接続され、ゲート端子に第 2 の同期パルスが印加される第 7 の MOST と、第 1 端子が接続され、第 2 端子が第 2 の走査パルス出力端子に接続され、ゲート端子に第 1 の同期パルスが印加される第 8 の MOST とをさらに有することを特徴とする特許請求の範囲第 10 項記載の半導体装置。

発明の詳細な説明

(1) 発明の利用分野

本発明は走査パルス発生回路、例えば光学文字読み取り装置、ファクシミリ等の光検知素子アレー、固体微波装置等のようない多數の光電変換素子を時間的かつデジタル的に選択走査するパルスを発生させる発生回路で、特に MOS 形トランジスタ等による構成回路 (IC, LSI) で構成され

(5)

特開昭54-161288(2)

第 4 の MOST の第 2 端子に第 2 の同期パルスを印加してなる基本回路を複数個接続してなり、各基本回路の少なくとも 1 の走査パルス出力端子より順次走査パルスを出力してなることを特徴とする半導体装置。

8. 各基本回路の第 1 の走査パルス出力端子より走査パルスを出力してなることを特徴とする特許請求の範囲第 7 項記載の半導体装置。

9. 上記基本回路は第 5、第 6 の MOST を有し、第 5、第 6 の MOST の第 1 端子は接続され、第 2 端子はそれぞれ上記第 1、第 3 の MOST の第 1 端子に接続され、第 5、第 6 の MOST のゲート端子は次段の基本回路の第 1、第 3 の MOST の第 1 端子にそれぞれ接続されてなることを特徴とする特許請求の範囲第 7 項記載の半導体装置。

10. 上記基本回路は第 5、第 6 の MOST を有し、第 5、第 6 の MOST の第 1 端子は接続され、第 2 端子はそれぞれ上記第 1、第 3 の MOST の第 1 端子に接続され、第 5 の MOST のゲート端子

(4)

た回路に関するものである。

(2) 従来技術

従来、上述のごとき走査パルス発生回路としては、一次元あるいは二次元状に配置された多數の光電変換素子を順次選択するため、第 1 図に示したような 2 相以上のクロックパルスにより入力パルスを一定時間ずつ遅延させて順次出力させるシフトレジスタ型の走査回路が広く利用されている。この走査回路は MOS 電界効果トランジスタ (以下 MOST と略称する) を用いたシフトレジスタ型走査回路の初めの 3 段の回路図である。

クロック G_1, G_2 はそれぞれクロックパルス ϕ_1, ϕ_2 の発生器、 G_3 は入力パルス V_{in} の発生器、また V_0 は駆動用の直流電流、 V_0 は一般にアース電圧を与える基準電圧印加端子である。トランジスタ Q_1, Q_2 はゲートとドレインを短絡させて形成した飽和型の負荷 MOST であり、トランジスタ Q_3, Q_4 は駆動用 MOST である。 Q_1 のソースと Q_2 のドレインあるいは Q_3 のソースと Q_4 のドレインを直列に組み合せた回路は極性

(6)

反転回路として動作する。また、 Q_1 、 Q_2 は伝送MUSTである。

以下の説明はNチャンネルMUSTを例にとり正論理（正に高い電圧を“1”、アース電圧を“0”で表現する）を用いて行うが、Pチャンネルについても電圧の符号を逆にすれば全く同様に説明できる。入力パルス発生器 G_1 により、第1段目の極性反転回路に加えられた入力パルス V_{IN} はクロックパルス ϕ_1 、 ϕ_2 によって交互に開閉する伝送MUSTにより、各段を通過する毎にクロックパルスによって定まる一定時間だけ遅延されて、同図(b)のタイミングチャートに示したように各段の出力端子 V_{O1} 、 V_{O2} 、 V_{O3} に現われる。

上述したMUSTを利用するシフトレジスタ型走査回路は、回路素子をすべてMUSTから製作でき、比較的製作工程が簡単である等の点で半導体集成回路に適しており、その集成度および歩留りの向上も容易である。また、動作マージンも高く、各段の特性のバラツキも小さいので、多段の出力が要求される走査回路としては極めて優れたものに

(7)

③ 出力振幅が電源電圧に比べて小さい。すなわち、出力の“0”レベルは電源電圧にならざり（約 $V_D \cdot g_n(Q_2) / g_n(Q_1)$ ）、出力の“1”レベルも電源電圧にならない。

④ MUST Q_4 のしきい電圧のバラツキ影響が大きい。

又、第1図に示した走査回路の他にも、相補形MUST(CMOS)によるシフトレジスタも考えられている。CMOS回路によれば、高速で低消費電力であり、1段あたりの構成素子が少なくなるが、NチャンネルMUSTとPチャンネルMUSTを集成回路化しなければならず、製造プロセスが繁雑になるといつた点からして、どちらか一方のチャンネルのMUSTで走査回路を構成することが望ましい。

(3) 発明の目的

本発明は、上述の従来の走査パルス発生回路を構成する半導体装置の欠点を改善することを目的としている。

(4) 発明の総括説明

なる。

しかしながら、上述の走査回路は、以下の欠点を有している。

① 2段のインバータの片方に常時電流が流れるため、消費電力が大きい。

② 負荷の駆動能力は、MUST Q_2 （又は Q_1 ）で決まるのに、ドライバ・トランジスタのMUST Q_4 （又は Q_3 ）のチャンネル幅（すなわちトランジスタの大きさ）を大きくしなくてはならず、集積面積が大きくなる。すなわち、出力オフセット電圧は、

$$V = V_D \times \frac{g_n(Q_2)}{g_n(Q_4)} \approx V_D \cdot \frac{L_2}{L_4}$$

V_D ：電源電圧

$g_n(Q_2)$ ：MUST Q_2 のコンダクタンス

$g_n(Q_4)$ ：MUST Q_4 のコンダクタンス

L_2 ：MUST Q_2 のチャンネル幅

L_4 ：MUST Q_4 のチャンネル幅

となり、オフセットを小さくするためには、MUST Q_4 の L_4 を大きくせねばならず、MUST Q_4 の面積が大きくなる。

(8)

本発明は、MUSTのブーストランプ効果を利用してダイナミック走査回路（シフトレジスタ）を構成した半導体装置である。

以下、電子を信号電荷とするNチャンネル型MOSトランジスタ（以下MUST）で説明する。第2図(A)、第3図(A)において、1はP形Si基板、2、3はドレインソースとなるN形拡散層、4はゲート電極、5はゲート絶縁膜（ SiO_2 等）、6はフィールド絶縁膜（ SiO_2 等）、7、8はドレイン、ソース電極、9はN形反転層である。第2図(A)でゲート電極4がUVの時、ゲート酸化膜5の下のP形Si基板1の表面に反転層の形成は無い。ゲート電極4に正の電圧（MUSTの閾値電圧 V_{TH} 以上）が印加されると、第3図(A)の様にN形反転層9が形成され、N形拡散層2および3が電気的に接続される。たとえばN形拡散層2とゲート電極4との間の容量結合関係を第2図(b)および第3図(b)で示す。

ゲート電極4がUVの時、N形拡散層2に対応する端子1、2とゲート電極4に対応する端子1、4

(9)

(10)

との間の結合容量は、それらの構造的なオーバーラップによる容量 22 のみで、端子 14 にはこの容量結合の効果を押える寄生容量として、実質的に接地 20 と繋がるゲート電極 4 と P 型 Si 基板 1 とのオーバーラップ容量 21、端子 13 で示した N 型拡散層 3 とのオーバーラップ容量 23、およびゲート電極に接続する他の部分の寄生容量 24 がある（第 2 図②）。

一方ゲート電極 4 に正電圧 ($> V_{dd}$) が印加されている場合、ゲート電極 4（端子 14）と N 型拡散層 2（端子 12）の間の容量結合は、前記容量 22 に加え、容量 21 に代わる反転層 9 との間の容量 25 と、N 型拡散層 3（端子 13）との間のオーバーラップ容量 23 との和となり、接地 20 と繋がるものは寄生容量 24 のみとなる。容量 22 と 23 は通常同等であり、容量 21 と 25 も実質的に等しく、かつ、通常容量 22 に比べ、1 衍近く大きな値となる。

したがつて、N 型拡散層 2 とゲート電極 4 の間の結合容量は、ゲート電極 4 に印加した電圧によ

(11)

$$\frac{C_1 V_D}{C_1 + C_2 + C_3 + C_4} \leq V_{dd} \quad \dots (12)$$

であれば良い。

負荷 45 および 46 が小さい場合は、これと並列に、容量、高抵抗（通常の集積回路素子寸法、用途においては $10^3 \sim 10^7 \Omega$ 程度）あるいは直流電圧をゲート電極に印加し、定常的に少量の電流を流すことのできる MOS を設け、合わせて負荷として扱えば良い。

本発明の走査パルス発生回路は著しく構成が簡単であり、通常の極性反転回路の如く、負荷に比べ不釣合に大きなドライバ用 MOS は不要で集積化に適し、低消費電力であり、且つ、印加されたパルス ϕ_1, ϕ_2 がそのまま負荷に印加されるために、これを構成する各 MOS の特性のバラ付、たとえば V_{dd} のバラ付による負荷へ印加されるパルスの変動も無く、振幅の低下も無い。特にアノログ素子、たとえば固体撮像素子やフレームメモリなどの画像素子に適用する場合には、著しく低雑音化することができる。

(13)

特開昭54-161288(4)
り大きく変化するバラクタ容量の性質を持ち、ゲート電極 4 にあらかじめ正電圧が印加されている時に、N 型拡散層 2 に正パルスが印加されるとゲート電極 4 の電圧をさらに大きく上げる、ブーストアップの効果を与える。

本発明は、このバラクタ容量の性質を利用して走査回路で、その原理を第 4 図に示す。第 4 図(A)は基本回路に相当する 2 ビット分を示すもので、主要各点 A ~ E のタイミングチャートを第 4 図(B)に示す。負荷 45 および 46 は抵抗、あるいは容量およびこれらの混成など何れであつても良い。C 点の電圧があらかじめ正になつてある時、 ϕ_2 が正になると C 点の電圧は大きく印上され、MOS 43 は非飽和条件で ϕ_2 を負荷 46 に与える。

設計要件は、たとえば B 点が正になつた時の C 点の電圧降下を ΔV ($= V_{dd} + K \sqrt{V_D - V_{dd}}$;
 $V_D : \phi_1, \phi_2$ の振幅、K : 基板効果定数) とする。

$$\frac{(C_1 + C_2) V_D}{C_1 + C_2 + C_3 + C_4} \geq \Delta V \quad \dots (11)$$

(12)

(5) 実施例

以下、本発明を実施例を参照して詳細に説明する。

第 5 図に示した回路は、本発明の一実施例である。第 5 図で H_1, H_2 は同期（クロック）パルス、 H_{in} は入力パルス、 V_D はアースで、 O_1, O_2, O_3 は出力パルスであり、これを用いて、例えば固体撮像素子の水平スイッチ MOS トランジスタ等を開閉する。

いま点 A が高レベル（以下 “H” と略す）とする。次に同期パルス H_2 が入力される（“H” になる）と、トランジスタ T_1 を通じて点 B の電位が上昇する。点 A と B のブーストアップ容量 51（前述したところの MOS の寄生容量で良いが、外部から容量を付加しても良く、本発明の実施例を以下に各種述べるが、それ等の例においても同様である。）を通じて点 A の電位がパルス振幅の V_D より上昇し、トランジスタ T_1 は非飽和領域で動作するようになる。したがつて点 B には同期パルス H_2 と全く同じ波形のパルス O_1 が出力される。

(14)

定されたままになる。

第5図に示した回路では、直流通じて電流が流れることではないので、消費電力はCMOSを多く少なくて、また素子は全てNチャネルMOSFETだけで構成出来る。

第6図に示した回路は、出力線にリセット用トランジスタT₆₁、T₆₂を挿入したものであり、動作原理は第5図に示した回路と全く同じであるが、リセットトランジスタにより動作がより確実になる。リセットトランジスタを挿入しても、シフトレジスタのビッチには何ら影響はない。

第7図は第5図の実施例の変形であり、フィードバックする点が若干異なるだけである。つまり、第5図において点Fの電位が点Cにフィードバックされているが、第7図では第5図の点Bにフィードバックしたものである(フィードバックMOSFET: T₁、T₂)。

逆に、第7図において点Bは点Fからフィードバックされているが、第8図に示す本発明の他の実施例のように点Eからフィードバックを受けて

(16)

また、この時、同時にトランジスタT₁がonしているので、点CにH₁が書き込まれる。この電位はほぼV_DからT₁のしきい電圧を引いた値となる。

次にH₁がH₂になると、トランジスタT₂とT₃がonし、前述したと同じ理由により点EにH₂が書き込まれる。

さらに、次にH₂がH₃になると、同様に点FにバルスO₃が出力される。さて、この時、トランジスタT₄もonする。点CにはH₃が書き込まれているので、そこに蓄積されていた電荷が点Bへ逆流し、点BとCが同じ電位になろうとし、点Bの電位が0から正の方へ持ち上がる。

例えば固体撮像素等では水平出力バルスは第5図⑤に描いてあるように、一度だけバルスが出て、あとはゼロ電位になつていなければ、雑音が増大する。トランジスタT₅は点BとCの電位をゼロにクリアするためのトランジスタである。高レベルになつている点Fがゲートに接続されているので、T₅はonし、点BとCはゼロ電位に固

(15)

も本発明の原理には何ら支障はない。

第9図から第12図は本発明の他の実施例である。第9図の実施例は第5図において、ゲートトランジスタT₁のドレインを電源V_Dの線に接続し、出力O₁をトランジスタT₁のゲートに印加するようにしたものである。第5図から第8図までの実施例では同期バルスH₁、H₂がonする度にトランジスタT₁、T₂がonし、点BとCの電荷がその度にゲート下に移動する。バルスH₁、H₂がoffする時に、その電荷の一部が基板へ流出し、点Cの電位が若干正の方へ移動する事がある。第9図から第12図の実施例はそれを避けたものである。動作原理は第5図とほぼ同じである。

第10図は第9図のブーストストラップ容量51としてMOSトランジスタ101のゲート容量を用いたものである。

第11図は、トランジスタT₁、T₂が既にバラクタ容量を有しているが、特にブーストストラップ容量としてコンデンサ111を外付けで設けた例である。

(17)

第9図のフィードバックトランジスタT₁のゲートが点Eに接続されているのに比べ、第12図は点Dからフィードバックされている例である。

第13図は本発明の別の実施例である。第13図は第6図において、フィードバックトランジスタT₁を点Cではなく、点Bへフィードバックしたものである。

第14図に他の実施例を示す。この実施例は第9図の実施例の出力O₁、O₂、O₃…の間にリセットトランジスタ141、142を設け、そのゲートをそれぞれ同期バルスH₁、H₂に接続したものである。

また、以上の実施例では出力O₁、O₂、O₃は、同期バルスのH₁あるいはH₂の一方のみに同期したバルスであつたが、通常の走査回路として使用する場合には、これに限定されるものではない。たとえば第5図において、H₁、H₂を相似のバルスとすれば点B、D、Fから出力バルスが得られる。この使用法は本発明の実施例全てに適用出来るることは言うまでもない。

(18)

特開昭54-161288(6)

(T_{11} が非飽和の条件で) 出力端、たとえば点 15 C に伝えられる。

また T_{12} のゲート電極容量効果により、第 15 図(B)に示すように、 ϕ_1 のパルスが正になる度に点 15 A, 15 B には電位 ΔV_1 が現われ T_{11} を周期的に導通させる。この時 ϕ_1 は接地レベルにあり、出力端を常に接地電位に安定化させるリセット動作を行なう。 T_{11} の閾値電圧のみを他の MOST より高くすれば、この効果はさらに良く発揮される。

本発明の走査回路は、出力パルスが ϕ_1 のみから得られ、且つ、各 MOST、特に T_{11} 閾電圧などの特性のバラ付の影響を受けず、波形も無く、一様性が著しく改善される。また、所要電力が著しく少なく、インバータ回路に必要な、負荷に不均合に大きなドライバ用 MOST も不要であり、高集積化に特に適している。

第 16 図は前例におけるリセット動作をより大きくするために、 ϕ_1 によって ϕ_1 と出力端を接続する MOST、 T_{13} を設けたものである。 T_{13} の

(20)

および第 18 図(A)に於ける主な点の代表として点 18 A ~ 18 H の電位のタイムチャートを第 18 図(B)に示す。

たとえば点 18 C の得る最高電位は T_{11} のしきい電圧 V_{th1} と基板効果により ΔV_1 低下し、さらに T_{11} のゲート容量充電のために ΔV_2 低下して点 18 D に伝えられ、 T_{21} を導通させる。 ϕ_1 により点 18 D の電位は前記バラクタ容量効果により叩き上げられ、 ΔV_3 上昇する。 $\Delta V_3 \geq V_{th1} + \Delta V_1 + \Delta V_2$ であれば、 ϕ_1 は T_{21} を常通りして (T_{21} が非飽和の条件で) 出力端、点 18 E に伝えられる。

また T_{12} のゲート電極容量効果により、第 18 図(B)に示すように、 ϕ_1 のパルスが正になる度に点 18 C, 18 D には電位 ΔV_4 が現われ T_{22} を周期的に導通させる。この時 ϕ_1 は接地レベルにあり、出力端を常に接地電位に安定化させるリセット動作を行なう。 T_{22} の閾値電圧のみを他の MOST より高くすれば、この効果はさらに良く発揮される。

(22)

本発明の他のタイプの実施例を以下説明する。

第 15 図は本発明の走査回路の一実施例を示す。

4 個の MOST、例えば T_{11} , T_{12} , T_{13} , T_{14} で単位回路(ビット)を構成する。第 15 図(B)に入力パルス ϕ_{1a} 、駆動パルス ϕ_1 , ϕ_2 、および第 15 図(A)に於ける主な点の代表として点 15 A, 15 B、および走査パルスを得る点 15 C, 15 F, 15 I の電位のタイムチャートを第 15 図(B)に示す。点 15 D と 15 E, 15 G と 15 H の各点の電位はそれぞれ点 15 A と 15 B と同様な電位が 360°, 720° の位相差となつて現われる。端子 V_s は接地するが、 ϕ_1 と結合しても(点 15 A の電位波形は少し変るが) 同様な効果を得る。

点 15 A の得る最高電位は T_{11} の閾電圧 V_{th1} と基板効果により ΔV_1 低下し、さらに T_{11} のゲート容量充電のために ΔV_2 低下して点 15 B に伝えられ、 T_{11} を導通させる。 ϕ_1 により点 15 B の電位は前記バラクタ容量効果(容量 15 1 で代表)により叩き上げられ ΔV_3 上昇する。 $\Delta V_3 \geq V_{th1} + \Delta V_1 + \Delta V_2$ であれば、 ϕ_1 は T_{11} を常通りして

(19)

ドレインを ϕ_1 の代り、接地用の端子 V_s に接続しても同様な効果を得る。

第 17 図は第 15 図の例にソースドレインを ϕ_2 に接続した MOST、 T_{15} を加えたもので、 T_{15} は T_{11} と同様なバラクタ容量効果を発揮し、前記 T_{11} のゲート容量充電により低下する ΔV_2 を解消し、設計要件を簡略化する。

首うまでも無く第 16 図と第 17 図の実施例と組み合わせた、すなわち、 T_{11} と T_{15} を設ければ両方の効果を同時に得る。また第 15 図で示した T_{11} の有するバラクタ的容量 15 1 に加え、並列に容量を設けることにより、 ΔV_3 をより大きくすることができる。これは第 2 図(B)および第 3 図(B)における容量 2 3 を大きくすることと等価である。いずれの例においても同様な効果を得ることは首うまでもない。

第 18 図は本発明の走査回路の例のタイプの実施例を示す。4 個の MOST、例えば T_{21} , T_{22} , T_{23} , T_{24} で単位回路(ビット)を構成する。第 18 図(B)に入力パルス ϕ_{1a} 、駆動パルス ϕ_1 , ϕ_2 、

(21)

第19図は前例におけるリセット動作をより大きくするために、 ϕ_1 により ϕ_1 と出力端を接続する MOST、 T_{11} を設けたものである。 T_{11} のドレインを ϕ_1 に代り、接地に接続しても同様な効果を得る。

第20図は第18図の例にソース、ドレインを ϕ_1 に接続した MOST、 T_{11} を加えたもので、 T_{11} は T_{11} と同様なバラクタ容量効果を発揮し、前記 T_{11} のゲート容量充電により低下する ΔV_1 を解消し、設計要件を簡略化する。

以上までも無く第19図と第20図の例を組み合わせた、すなわち、 T_{11} と T_{11} を設ければ両方の効果を同時に得る。また、第18図で示した T_{11} の有するバラクタ的容量に加え、並列に容量を設けることにより、 ΔV_1 をより大きくすることができる。これは第2図(a)および第3図(a)における容量23を大きくすることと等価である。いずれの実施例においても同様な効果を得ることは言うまでもない。

第21図は、本発明による走査回路のさらに別

(23)

は MOST、 T_{11} のゲートが "H" になり、ON状態になり、ノード21Bの電位は V_{SS} 、すなわち "L" にリセットされる。

第21図(b)を見るとわかるように、走査回路の出力としては、21A、21C、21E、21G、……という幅の狭いパルス列(歯抜けのパルス列)とB、D、F、H、……という幅の広いパルス列を得ることができる。また21A、21C、21E、21G、……のパルス振幅は MOST、 T_{11} 、 T_{11} 、 T_{11} 、……のゲート・チャネル間の容量によるブート・ストラップ効果により ϕ_1 (あるいは ϕ_1) のパルス振幅とまったく同じものが得られる。

電力の消費は入力パルスが伝達しているステージだけであり、しかも負荷を充電するだけでよく極めて小さくなる。

本発明の他の例を第22図に示す。これは、第21図における MOST、 T_{11} 、 T_{11} 、 T_{11} 、 T_{11} 、……のブート・ストラップ効果を強めるためにゲート・ソース間に外付けの容量221を付加したものである。

(25)

特開昭54-161288の実施例である。また第21図(b)は、第21図(a)の各ノードの電圧波形を示したものである。本走査回路の動作を簡単に説明する。第21図において、入力パルス ϕ_{IN} が与えられると、クロックパルス ϕ_1 によって、MOSトランジスタ(以下MOSTと略) T_{11} がONし、ノード21Z(MOST、 T_{11} のゲート)に電荷がたまる。次に、クロックパルス ϕ_1 が高レベル("H")になると、ノード21Aは "H" になり、MOST、 T_{11} もONして、ノード21Bも "H" となる。 ϕ_1 が低レベル("L")になるとノード21Aの電位は "L" になるが、ノード21Bは MOST、 T_{11} のダイオード特性のおかげで "H" になつたままである。ノード21Bの電位は、MOST、 T_{11} のゲートと同電位であり、 ϕ_1 が "H" になると、ノード21Cおよびノード21Dも "H" となる。再び、 ϕ_1 が "L" になると、ノード21Cの電位は "L" になるが、ノード21Dの電位は "H" のままである。同様に、ノード21E、21F、21G、21Hに電圧が伝わつていき、ノード21Fの電位が "H" になれ

(24)

第23図は他の例であり、ノード21B、21D、……の電位を "L" にリセットするためノード21E、21G、……からフィードバックしたものである(第21図とはフィード・バックの場所が異なるだけである)。

第24図は別の例であり、第23図の例にブート・ストラップ効果を強める外付けの容量241を付け加えたものである。

第25図は他の例である。リセット用トランジスタのソースを ϕ_1 、 ϕ_1 に接続したものである。

第7図は他の例であり、第25図の回路構成にブート・ストラップ効果を強めるための容量261を加えたものである。

第27図は他の例である。第21図IC271のMOSバラクタを加えたもので、これらはゲートが "H" のときだけ容量が大きいという性質がある。例えばノード21Bの電位が "H" であれば271の容量によつて MOST、 T_{11} のゲートは十分 "H" になり、"L" であれば271の容量は小さく何も影響を示さない。なお、このMOSバラクタは

(26)

第22図～第26図の例にも加えることができる。
第28図は他の例である。第23図の回路のノード、21A, 21C, 21E, 21G, …の“L”電位をより完全にするためにMOST、T₁₁～T₄₄を加えたものである。このリセットを完全にするMOSTは第21図、第22図、第24図～第27図にも加えることができる。

なお、第22図から第27図の回路に対するタイミング・チャートは第21図(B)と同様である。

本実施例の特徴をまとめると次のようになる。

- (I) 3 MOST/stageでよく、集積度が向上する。
(ただし、第28図の実施例では4 MOST/stageとなる)
- (II) 6 MOST/stageとして用いると、φ₁ (あるいはφ₂)だけに同期した出力パルスが得られ、出力パルスの不均一性はいちじるしく減少する。
- (III) 出力パルスとして、ノード21A, 21C, 21E, 21G, …を用いると出力パルス増幅がφ₁ (φ₂)とまったく同じであり、MOST

(27)

いる。なお、MOST、T₁₁, T₄₄のg_m比はg_{m,11}/g_{m,44} = 8程度にすればよい。また、MOST、T₁₁は特になくてもよいが動作を確実にするために入れてある。

第30図は別の終端回路について説明したものである。今シフトレジスタの30A点に“H”が蓄積されているとする。次にφ₁が“H”になるとT₁₁はON状態であるため、30B点、30C点の電位は“H”となる。φ₁が“L”となると、30B電位は“L”となるが、30C電位は“H”的まま保持される。次にφ₂が“H”となるとT₄₄がON状態となり、30C電位は30C点、30D点の容量分割される。(30C点容量C_c、30D点容量C_dとすると30D電位は $\frac{C_c}{C_c + C_d} \times "H"$ となる。)この時30Dの電位がT₁₁のしきい電圧より大きくておくとT₁₁はON状態となり、30A電位は放電し、“L”となる。次にφ₂が“H”となるとT₄₄はON状態となり、30D電位は“L”となる(C電位は $\frac{C_c}{C_c + C_d} \times "H"$ のままである)。次にφ₂が“L”となると30C電位は

(29)

特開昭54-161288(8)
によるV_{TH} dropがない。

- (IV) 出力パルス幅は、クロックパルス幅と同じもの(狭いパルス幅)と、クロックパルス周期(広いパルス幅)とが得られる。
- (V) IC化したときの悪い寄生効果(charge pumping)がない。
- (VI) 消費電力が極めて小さい。
- (VII) 本走査回路を動作させるためには、φ₁, φ₂, φ_{IN}, V_{SS}(GND)だけでよく、V_{DD}は不要である。

第29図は以上の走査回路の終端回路を示したものである。

この図は第21図の実施例にT₁₁, T₄₄, T₅₅, T₆₆のMOSTを接続したものである。

ノード21Fの電位は、ノード21Hの電位が“H”的時に限り、MOST、T₁₁によつてφ₁に同期したパルス21Iによつてリセットする。またノード21Hの電位は、ノード21Gの電位が“L”的ときに限りMOST、T₄₄によつてφ₂に同期したパルス21Jによつてリセットされることを示して

(28)

再びC_c C_dに分割される。以上のくり返しで30Aの電位を放電させた後、30Cの電位は“L”以下がつてゆく。

この回路の特徴は、

$$\textcircled{1} \left. \begin{array}{l} \frac{C_c}{C_c + C_d} \times "H" > (T_{11} \text{のしきい電圧}) \\ 30D \text{電位 (シフトレジスタのくり返し)} \\ \text{時間後}) < (T_{11} \text{のしきい電圧}) \end{array} \right\}$$

となる様にC_c, C_dを選べばよく、C_cとC_dの関係は厳しくなく、ラフな比率でよい。

② 30B, 30Cの電位がチャージポンピング等により“H”に上がろうとしてもφ₂で分割し、φ₂で放電するタイミングのくり返しで、“L”にもどす事ができる。

③ 2ヶのMOSTを付け加えるだけで終端する事ができる。

次に、走査パルス振幅の制御方法の他の例を以下に述べる。

第31図(A)において、破線で囲んだ箇所は従来の走査回路の一例である。従来ではこの走査回路の出力であるY₁, Y₂, Y₃, …の電位が、例えば、

(30)

特開昭54-161288(9)

また、 Y_1, Y_2, Y_3, \dots の低レベルが dV_{10} だけ浮いている場合は、固体撮像素子等においては各絶縁のスイッチトランジスタのテーリング電流を増長させ、最大の問題点であるブルーミングの原因となる。

本発明は、これらの欠点を除去するために、第31図に、一点領域で囲んだ領域で示すようなバツフア回路を設けることにある。第31図で V_s は V_s より、トランジスタ T_{11}, T_{12} のしきい電圧以上、下がつた電圧であり、たとえば、 $V_s = 9V, V_{11} = 2V$ の時 V_s を $7V$ 以下にすればよい。このようにすればトランジスタ T_{11}, T_{12} は非飽和でブッシュニブル動作する事になり、出力 O_1, O_2, O_3 には $V_s (UV)$ から V_s (たとえば $6V$) まで変化する様なパルスが得られる。

第32図には別の例を示す。走査回路の上方(点線の領域)は第31図と同じ回路である。第32図は、固体撮像装置等において垂直方向の絶縁ピッチが小さくて、走査回路がピッチ内に集積出来ない場合の例である。この場合同期パルス

(32)

施例について説明する。

第34図は走査回路の骨子となる構成を示す図である。346はN段の走査回路、 $V_{01}, V_{02}, \dots, V_{0N}$ は回路各段から走査パルスを取り出す走査パルス出力端子、347はクロック発生器、348はクロックパルス入力端子である。349はクロック発生器で発生したクロックパルスを遅延し位相のずれた別のクロックパルスを作る遅延回路、341は遅延回路の出力に設けたMOS出力回路である。さらに、343, 344は走査回路内部を走るクロック配線である。ここで、点線で示した領域345は走査回路を含めて同一半導体基板に集積化される領域であり、固体撮像素子等に於てはこの他に光電変換素子、上記走査回路により開閉するスイッチ(図示せず)が集積化される。

第34図は走査回路の動作を示すタイミングチャートであり遅延回路およびMOS出力回路で得られるパルス出力波形を示している。同図に於て、 $\phi_{1(1)}$ はクロックパルス発生器で製作されたクロックパルス、 $\phi_{1(2)}$ はパルス $\phi_{1(1)}$ が遅延回路に入

固体撮像素子の各絶縁のスイッチMOSトランジスタのゲートに印加されるようになつてゐる。この例では負荷トランジスタのゲートに垂直同期パルスが印加されているが、これは回路の消費電力を減少させるためのもので、本発明とは関係ない。

ところで、先述した様に Y_1, Y_2, \dots のパルスのonレベル、offレベルは、第31図に描いてあるように、電源電圧 V_s (たとえば $9V \sim 6V$) と $V_s (0V)$ から、若干、シフトする。これは、MOSインバータの動作原理上やむを得ないものである。ここで、 V_s からのシフト dV_{10} は負荷MOSトランジスタのしきい電圧で、また、 V_s からのシフト dV_{10} は駆動MOSトランジスタと負荷MOSトランジスタの抵抗比で、それぞれ決められる。

したがつて、走査回路の各段のトランジスタのしきい電圧や幾何学的寸法が変動した場合、 Y_1, Y_2, Y_3, \dots のパルス振幅が変動する事になる。これは容量結合により、固体撮像素子等においてはノイズ源となる。

(31)

V_1, V_2 は、たとえば 7.5 kHz 程度の周波数のもの、 F_s はその倍の 15 kHz の周波数であり出力 O_1, O_2, O_3, \dots は 15 kHz の周波数を持つパルスとなる。もちろん第23図において、本発明の実施例は一点領域で示した部分である。

以上、本発明を、主に固体撮像装置の垂直走査回路について説明したが、もちろん水平走査回路にも適用出来る。この場合は、水平スイッチトランジスタのテーリング電流を減少させるのに効果があるのはもちろんである。

また、たとえば第31図に破線で囲んだ走査回路は、どのような走査回路であつても、本発明の原理に何ら支障はない。すなわち、先述のブーストランプ効果を利用したシフトレジスタに併用して用いると効果が大きい。

第33図は本発明の別の実施例である。図中 Y_s は、図に示してあるようにたとえば H_1 の同期パルスに同期したパルスであり、 H_2 は H_1 の同期パルスと同一でもよい。

次に、单一のクロックパルス発生器を用いた実

(33)

-543-

(34)

力することにより回路内部で所定の時間 (T_s) だけ遅れて遅延回路出力 340 に現われた ϕ_{10} の遅延パルス、 ϕ_2 はパルス ϕ_{10} が MOS 出力回路に入力し、本回路の出力 342 で得られる波形整形されたクロックパルスである。ここで、MOS 出力回路はクロック配線 344 に寄生する容量 (一般 IC 2.0 ~ 5.0 pF) を駆動するに十分な出力インピーダンスの低い回路であり、遅延回路出力に現われたパルス ϕ_{10} の立ち上り、立ち下り時間を縮少する、およびパルス振幅をクロックパルス ϕ_{10} と同等にするなど、すなわちパルス波形整形を行う。したがつて、本発明の走査回路に於ては、単一のクロックパルスを外部から供給することにより、所定の位相だけずれた別のクロックパルスが走査回路内部で得られることになる。

次に、第 34 図に示した遅延回路および MOS 出力回路の具体的構成の一例を紹介する。第 35 図は走査回路と同様の MUST を使用して構成した遅延回路であり M 段 (M は任意の偶数) に渡つて従属接続した MOS 極性反転回路 356 により構

(35)

μ V/V とすれば 1 段当たりの遅延時間 t_s は電圧 V_{dd} に依存して、第 37 図に示した如く変化する。

例えば固体撮像素子の水平走査回路について考えると、本走査回路周波数は光電変換素子数にも依存するが 500×500 素子の場合約 10 MHz であり、2 相クロック間の位相は 50 nsec となる。したがつて、 $\beta \approx 1 \mu$ V/V で設計すれば $V_{dd} \approx 1.2$ V で使用するとして 2 段の極性反転回路、 $\beta \approx 10 \mu$ V/V の場合は 20 段の極性反転回路が必要になる。一方、垂直走査回路について考えると、本回路の走査周波数はテレビジョン方式で 1.57 kHz に定められており、クロック間の位相を等しくしようとすれば 3.2 μ sec の遅延時間が必要になるが、クロック雑音の発生を映像信号に無関係なブランкиング期間に納める必要から、2 相のクロックパルスはいずれもブランкиング期間 ($\sim 10 \mu$ sec) に納めるのが普通であり、その位相差は一般に 500 nsec ~ 2 μ sec 程度に過ぎる。したがつて、 $\beta \approx 0.1 \mu$ V/V で設計すれば $V_{dd} \approx 1.2$ V で使用するとして 3 ~ 10 段の極性反

(37)

特開昭54-161288(10)
成されている。348 は遅延回路 349 のパルス入力端子、340 はパルス出力端子、358 は接地ライン端子である。また、極性反転回路は最も簡単な飽和型負荷 MUST Q_{12} と駆動 MUST Q_1 で構成されている。入力端子 348 に入力したクロックパルスは極性反転回路 1 段当たり極性反転回路 IC 寄生する容量 C_0 と負荷 MUST の g_s によって決まる t_s 時間ずつ遅延し、出力端子では $M \cdot t_s$ 時間遅延する。したがつて、回路全体の入出力遅延時間 T_s は次式で与えられる。

$$T_s = M \cdot t_s = M \cdot \frac{2 (V_s / V_{dd}) C_0}{1 - (V_s / V_{dd}) g_s \tau}$$

但し $V_s = V_{dd} - V_T$ (1)

$$g_s \tau = \beta (V_{dd} - V_T)$$

ここで、 V_s は MUST のしきい値電圧、 V_{dd} は電源 357 の電圧、 β は MUST のチャンネルコンダクタンスである。例えば、 V_T を走査回路を構成する MUST と同じに選び ~ 1 V、寄生容量を極性反転回路に寄生する一般的な値 ~ 1 pF、負荷 MUST のチャンネルコンダクタンスを 0.1 ~ 1

(36)

転回路が必要になる。

第 36 図は MOS 出力回路の一例であり、やはり電源 368 によって動作する極性反転回路で構成している。ここで、出力段極性反転回路 360 を構成する負荷 MUST Q_{12} の g_s はクロック配線の寄生容量を所定の立ち上り、立ち下り時間で駆動できるよう大きく設計し、入力段極性反転回路 369 を駆動する負荷 MUST Q_{12}' は直接にはクロック配線の寄生容量を見込まないので必要最小限に設計すればよい。

また、固体撮像素子等においては水平走査回路と垂直走査回路では走査速度が異なるので MUST Q_{12}' の g_s も異なり、水平走査回路用では MUST の g_s は大きく (水平走査回路用のクロックパルスの立ち上り、立ち下り時間は 1.0 ~ 3.0 nsec である)、垂直走査回路用では水平走査回路用の場合に較べて $1/10 \sim 1/100$ で設計すればよい (垂直走査回路用クロックパルスの立ち上り、立ち下り時間は数 100 nsec ~ 2 μ sec 程度であれば十分)。上述の遅延回路および MOS 出力回路を

(38)

I C パターンになおした場合、10段の恒性反転回路で構成した遅延回路を用いた場合でその占有面積は現状技術で $500 \mu\text{m} \times 500 \mu\text{m}$ 程度になる。これに対し走査回路の占有面積は $500 \mu\text{m} \times 10000 \mu\text{m}$ 、さらに例えば光電変換素子まで含めた撮像素子全体のサイズは $1000 \mu\text{m} \times 10000 \mu\text{m}$ 程度と大きく、水平、垂直走査回路用に2種類の遅延回路およびMOS出力回路を設けた場合でもその占有面積は全体サイズの $1/100$ 以下であり、サイズの増加には全くつながらない。またこれらの回路はすべて走査回路と同様のMOSを用いて構成できるので、従来と全く同一のMOSプロセスを用いて製作することができる。

以上、詳述したように本例の走査回路では外部から1相のクロックパルスを供給することにより、例えば撮像素子内部に構成化した遅延回路およびMOS出力回路によつてもう一つのクロックパルスを発生させ、さらにクロック間の位相差を遅延回路を駆動する電源電圧を変化させることにより任意の値に設定することができるので、クロック

(39)

第1図は従来の走査パルス発生回路を示す図、第2図および第3図はMOS形トランジスタの寄生容量を説明する図、第4図は本発明の走査パルス発生回路の原理を説明する図、第5図、第6図、第7図、第8図、第9図、第10図、第11図、第12図、¹³第14図、第15図、第16図、第17図、第18図、第19図、第20図、第21図、第22図、第23図、第24図、第25図、第26図、第27図、第28図、第29図、第30図、第31図、第32図、および第33図は本発明の走査パルス発生回路の実施例を示す図、第34図はクロックパルス発生器の例を示す図、第35図は第34図のクロックパルス発生器の遅延回路の例を示す図、第36図は第34図のクロックパルス発生器の出力回路の例を示す図、第37図は第34図のクロックパルス発生器の遅延特性を示す図である。

ϕ_1, ϕ_2 … 同期パルス(端子)、41, 42,
43, 44 … MOS形トランジスタ、45, 46
… 負荷、 C_1, C_2, C_3, C_4 … 寄生容量。

(41)

特開昭54-161288(11)
発生器など外部駆動回路が簡単になり、価格が安くなると同時に信頼性が向上する、撮像素子等のピン数が少くなり取扱いが容易になる。クロック雑音が減少し信号対雑音比が向上するなど、本例の実用上の効果は極めて大きい。

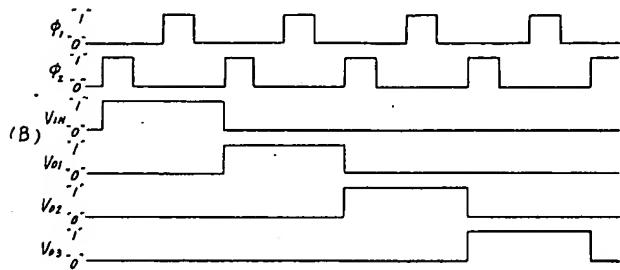
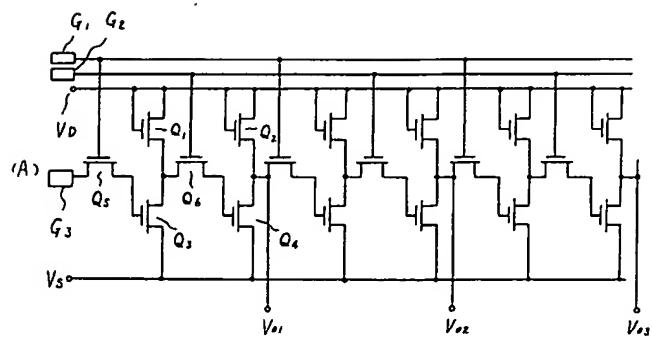
なお以上の説明はMOSを対象にして行つてきたが、本例の趣旨を逸脱しない範囲で他の接合型電界効果トランジスタ、あるいは通常のバイポーラ型トランジスタを利用することが考えられる。また、本例は走査形式としては上記のシフトレジスタ形式の他にBBD(Bucket Brigade Deviceの略)形式あるいはCID(Charge Injection Deviceの略)で使用するような“U”レベルパルスを走査パルスとして使う走査形式にも利用できることは勿論である。

以上に述べたクロックパルス発生器1個による形式は、先述の走査パルス発生回路に用いて効果が大きい。もちろん、本形式は従来一般的の走査パルス発生回路にも用いることができる。

図面の簡単な説明

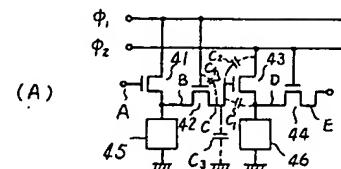
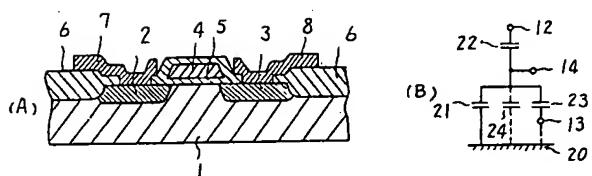
(40)

第 1 図

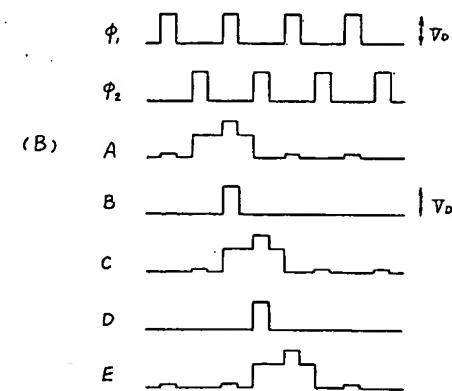
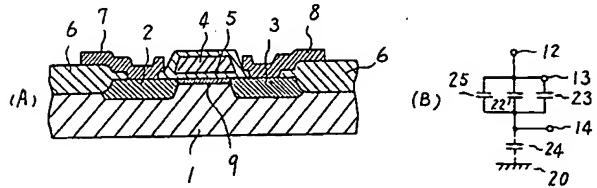


第 4 図

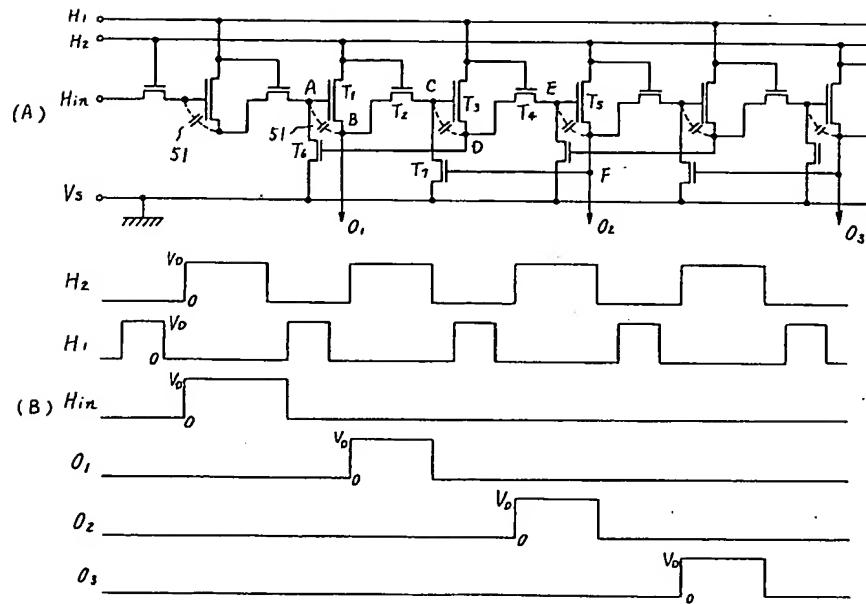
第 2 図



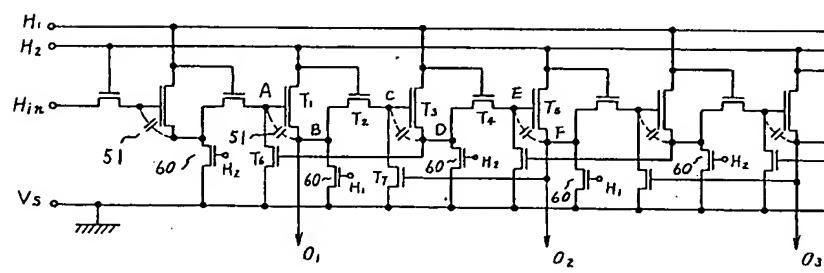
第 3 図



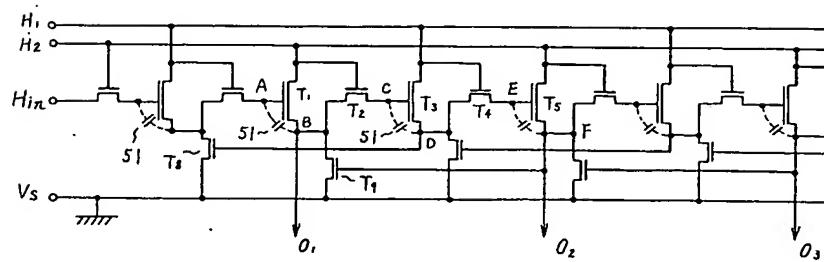
第 5 図



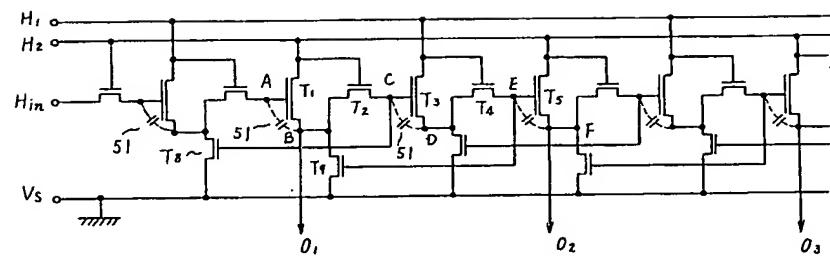
第 6 図



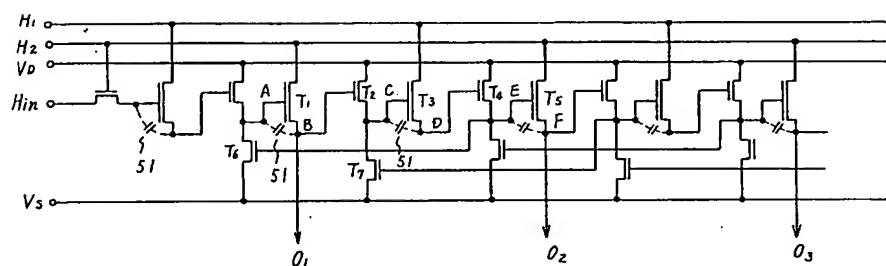
第 7 図



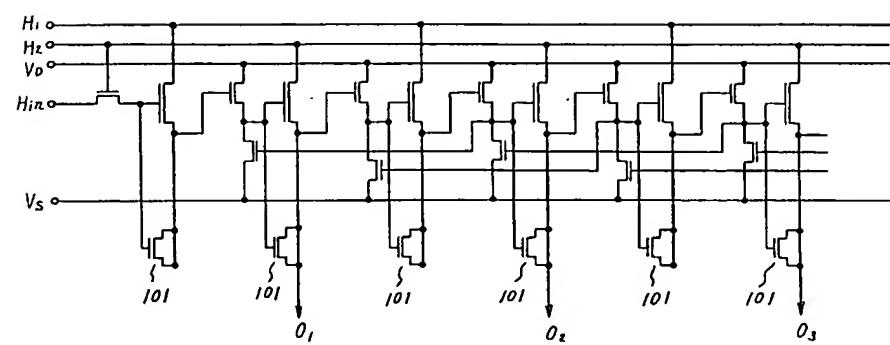
第 8 図



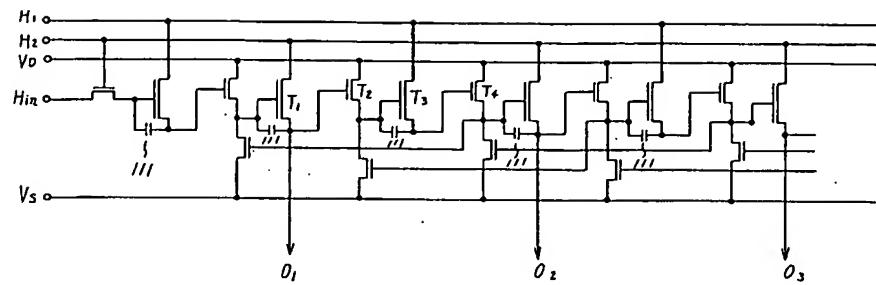
第 9 図



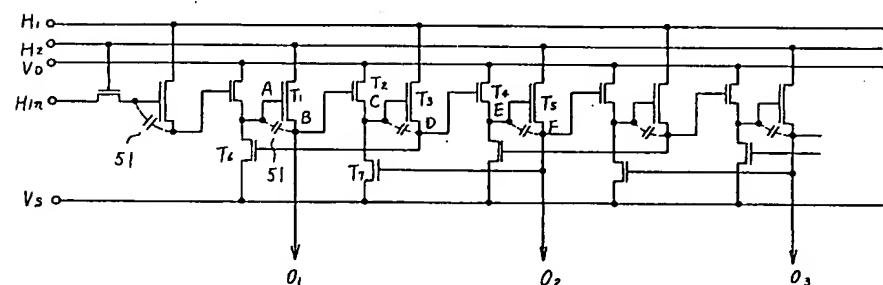
第 10 図



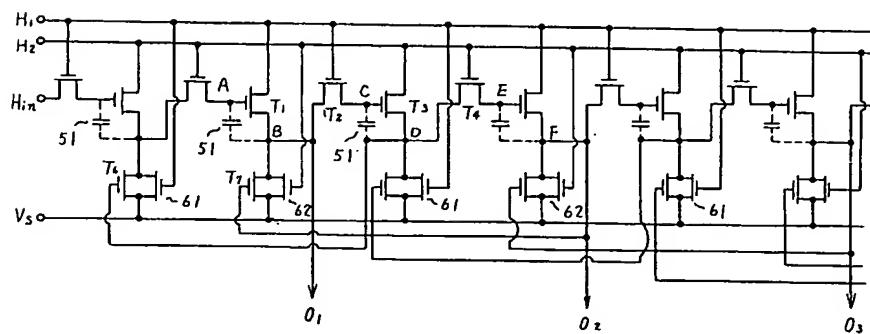
第 11 図



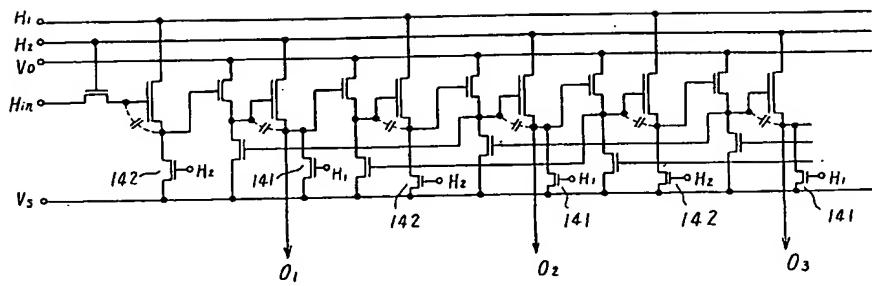
第 12 図



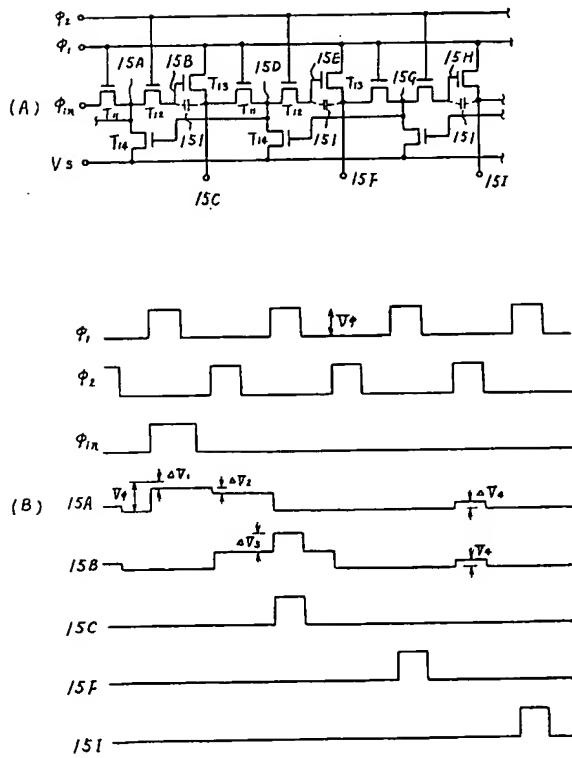
第 13 図



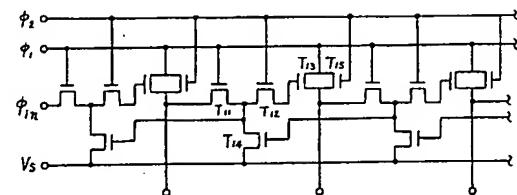
第 14 図



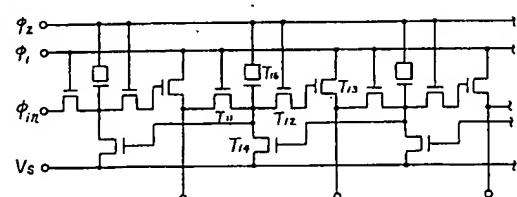
第 15 図



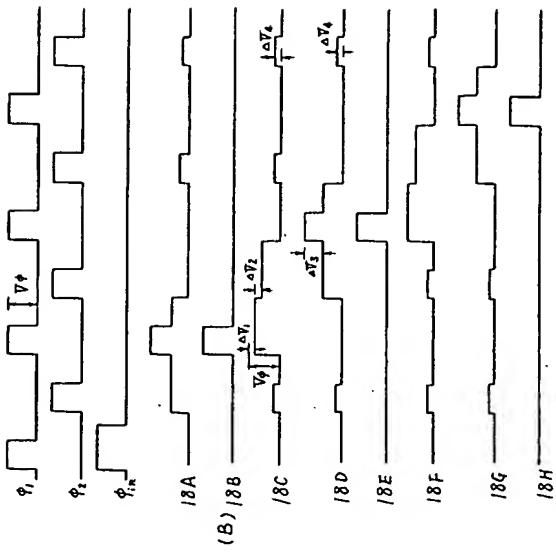
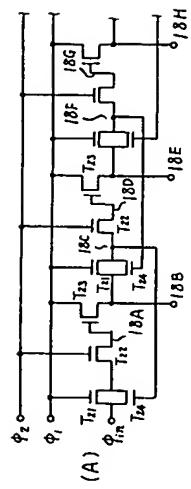
第 16 図



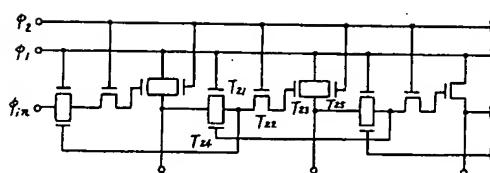
第 17 図



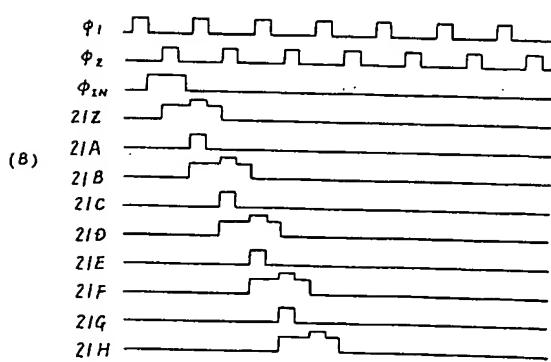
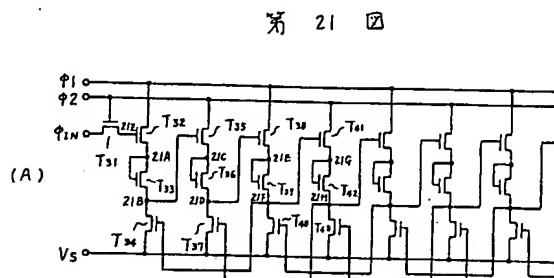
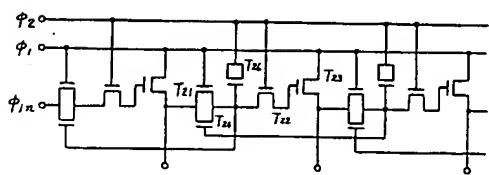
第 18 図



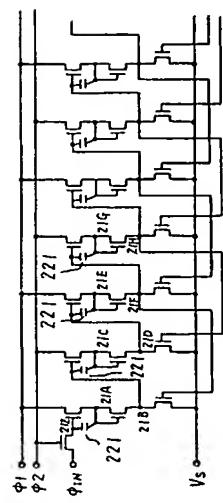
第 19 図



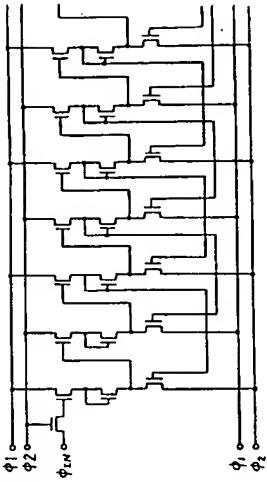
第 20 図



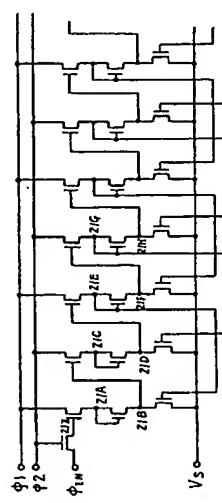
第 22 図



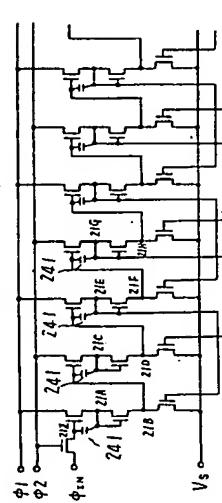
第 25 図



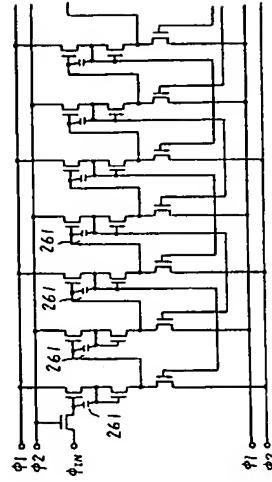
第 23 図



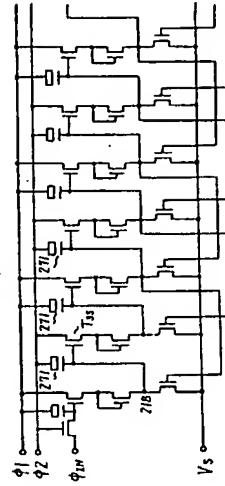
第 24 図



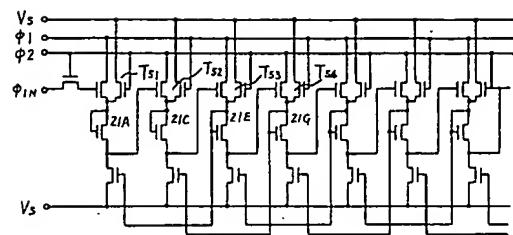
第 26 図



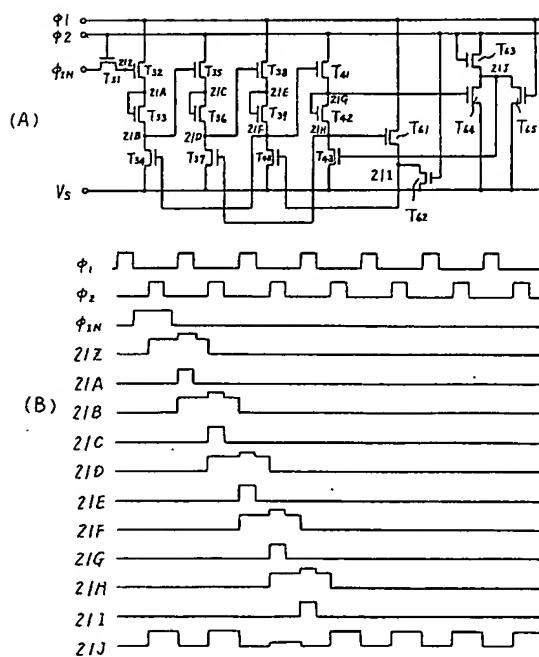
第 27 図



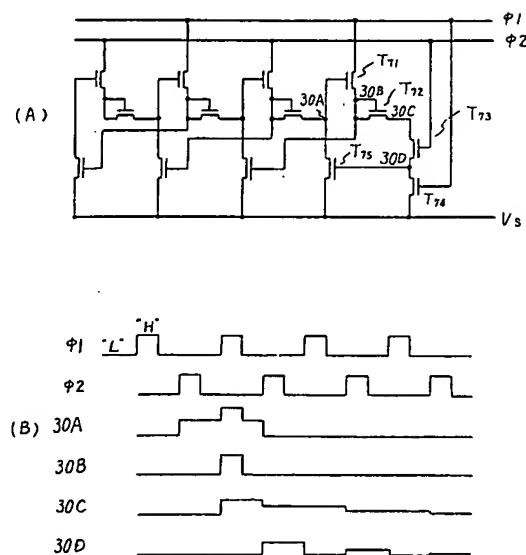
第 28 図



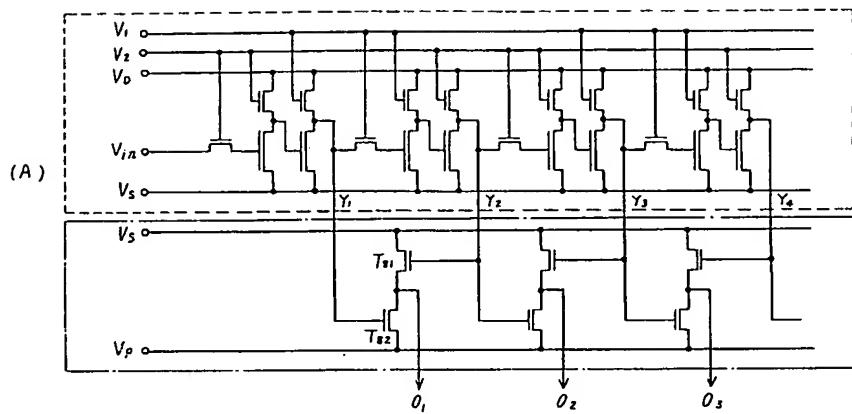
第 29 図



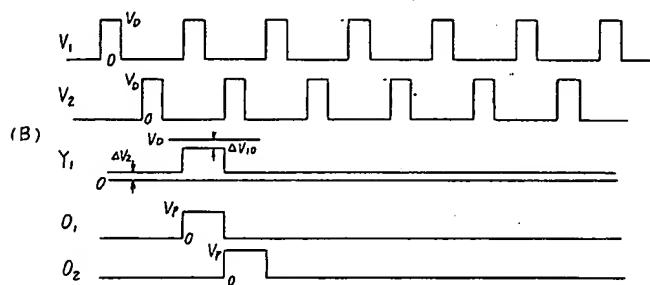
第 30 図



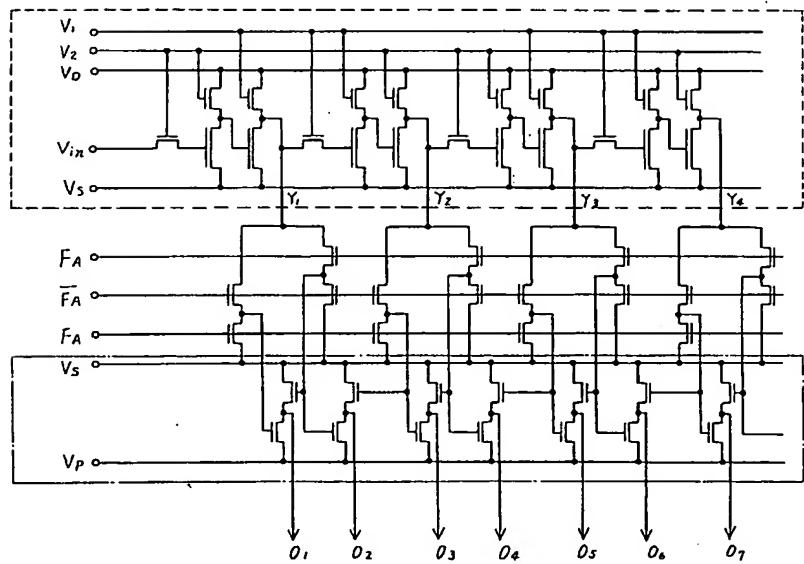
第 31 図



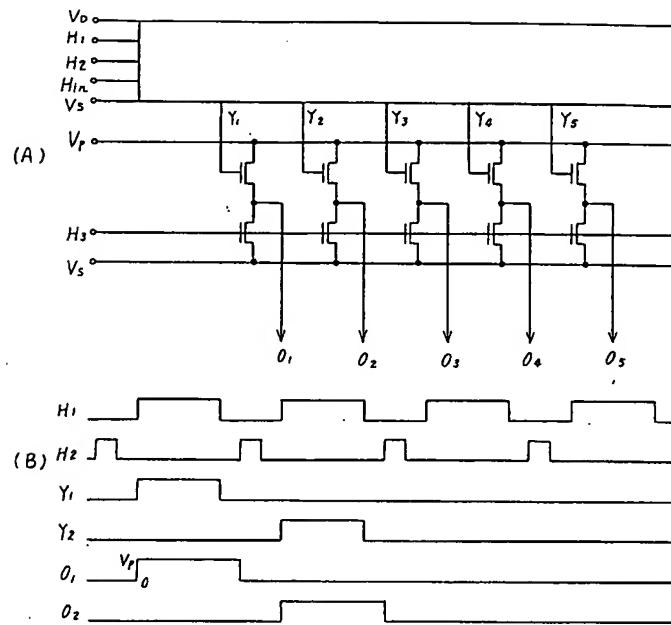
第 31 図



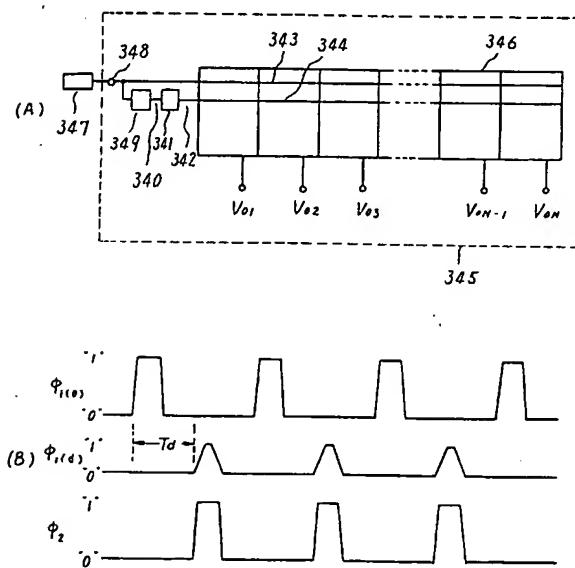
第 32 図



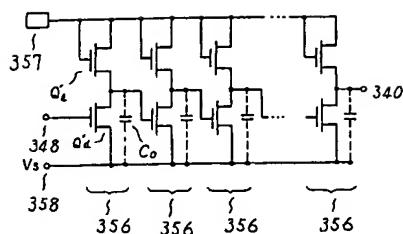
第 33 図



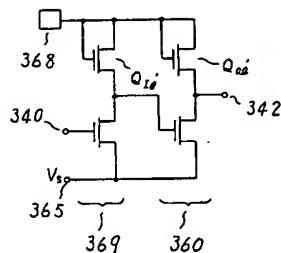
第 34 図



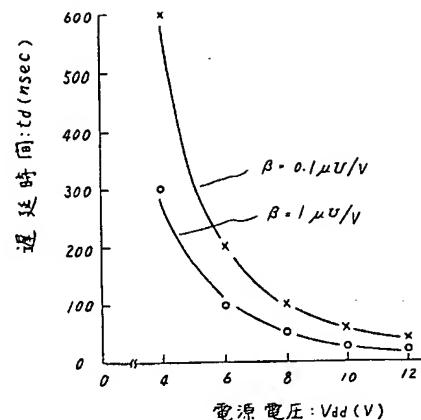
第 35 図



第 36 図



第 37 図



第1頁の続き

⑦発明者 中井正章

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

同 花村昭次

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

同 井沢龍一

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

同 久保征治

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

同 青木正和

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

同 田中修平

小平市御幸町32番地 日立電子

株式会社小金井工場内

⑦出願人 日立電子株式会社
東京都千代田区神田須田町1丁目23番2号